

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problem Mailbox.**

**THIS PAGE BLANK (USPTO)**

JAPANESE UTILITY-MODEL APPLICATION LAID-OPEN NO. 5-48359

LAID-OPEN DATE: JUNE 25, 1993

Title of the invention: Semiconductor Device

Abstract

Object

The provision of a semiconductor device appropriate to high-density mounting, by adhering two chips facing each other.

Construction

Semiconductor chips A (1) and B (2) having pad positions which are mirror images of each other are adhered face-to-face, using bump electrodes (6) to sandwich leads (3).

**THIS PAGE BLANK (USPTO)**

(19)日本国特許庁(J P)

(12) 公開実用新案公報(U)

(11)実用新案出願公開番号

実開平5-48359

(43)公開日 平成5年(1993)6月25日

(51)Int.Cl.<sup>5</sup>

識別記号

庁内整理番号

F I

技術表示箇所

H 0 1 L 25/065

25/07

25/18

21/60

3 1 1 R 6918-4M  
7220-4M

H 0 1 L 25/ 08

B

審査請求 未請求 請求項の数4(全 3 頁)

(21)出願番号 実願平3-98292

(22)出願日 平成3年(1991)11月28日

(71)出願人 000001889

三洋電機株式会社

大阪府守口市京阪本通2丁目18番地

(72)考案者 北村 裕二

大阪府守口市京阪本通2丁目18番地 三洋

電機株式会社内

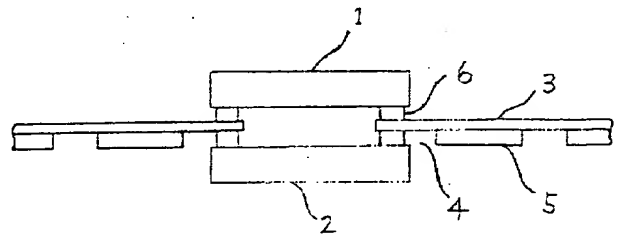
(74)代理人 弁理士 西野 卓嗣

(54)【考案の名称】 半導体装置

(5) 【要約】

【目的】 2つのチップを対面接着することにより、高密度実装に適した半導体装置を提供すること。

【構成】 パッドの位置関係がミラー関係となっている2つの半導体チップA(1)、B(2)をバンパ電極(6)を用いてリード(3)を挟みこむ様に対面接着する。



1, 2. 半導体メモリチップ

3. リード部材

4. インナーリードウインドウ

5. フレキシブル絶縁フィルム

6. バンパ電極

## 【実用新案登録請求の範囲】

【請求項1】 パッドの形成面が互いに対向されて配置された2つの半導体チップと該2つの半導体チップに挟まれ、前記半導体チップの一方あるいは両方のパッドと固着されたリード部材と、前記2つの半導体チップを封止する封止樹脂とから構成される半導体装置。

【請求項2】 前記リード部材は、フレキシブル絶縁フィルム上に形成され、前記フィルムに形成された孔に延在する導体から形成されることを特徴とする請求項1記載の半導体装置。

【請求項3】 前記2つの半導体チップの複数のパッドは互いに線対称に配置されることを特徴とする請求項1記載の半導体装置。

【請求項4】 前記2つの半導体チップは、半導体メモリチップであり、アドレス入力パッド及びデータ入出力パッドが互いに線対称に配置され、制御用信号入力パッドは互いに非対称に配置されることを特徴とする請求項

3記載の半導体装置。

## 【図面の簡単な説明】

【図1】 本考案の実施例を示す平面図である。

【図2】 本考案の実施例を示す断面図である。

【図3】 本考案を取り入れた半導体装置の断面図である。

【図4】 本考案に使用される半導体メモリチップの平面図である。

【図5】 本考案に使用される半導体メモリチップの平面図である。

【図6】 本考案に使用される半導体メモリチップの平面図である。

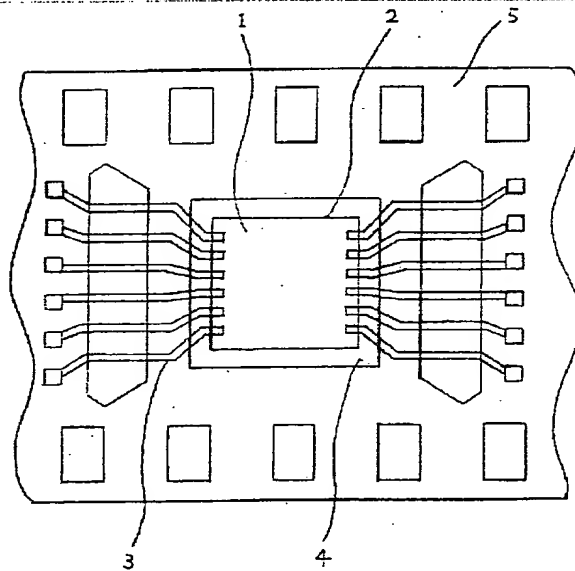
【図7】 本考案に使用される半導体メモリチップの平面図である。

【図8】 従来例を示す半導体装置の断面図である。

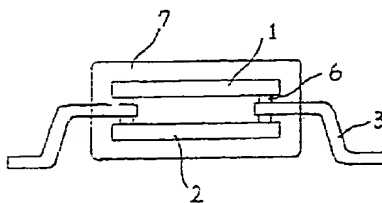
【図9】 従来のメモリカードを示す断面図である。

【図10】 従来のメモリカードを示す断面図である。

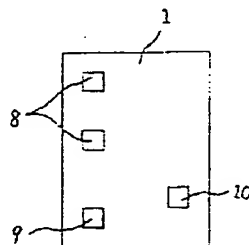
【図1】



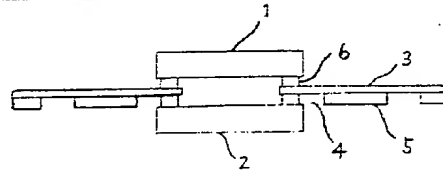
【図3】



【図4】

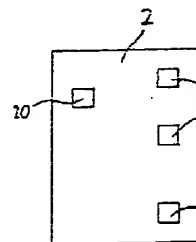


【図2】

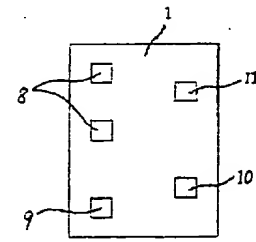


- 1, 2. 半導体メモリチップ
- 3. リード部材
- 4. インナーリードウインドウ
- 5. フレキシブル絶縁フィルム
- 6. パンチ電極

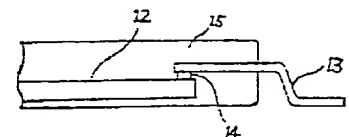
【図5】



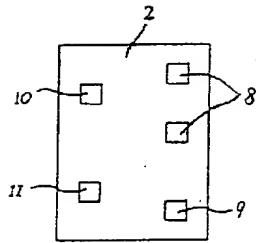
【図6】



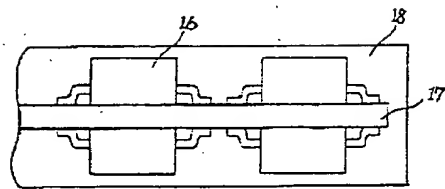
【図8】



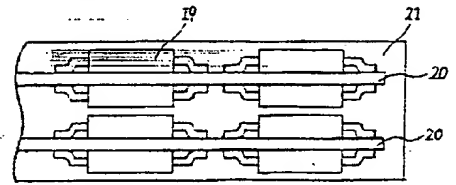
【図7】



【図9】



【図10】



[0 0 0 1]

本考案は、半導体装置に関し、特に半導体メモリーカードに適用して有効な高密度実装の半導体装置に関するものである。

近年コンピュータ等の電子機器の小型化、ポータブル化が進み、電子部品の実装密度の更なる向上が要求されている。このような要求に答えるべく、半導体装置のパッケージ技術も年々改良され、現在TAB (Tape Automated Bonding) と呼ばれるパッケージ技術を採用したPTP (Paper Thin Package) が出現してきた。PTPはパッケージ厚約0.5mmという超薄形パッケージである。

次にそのPTPを図面に従って説明する。図8は前記PTPの断面図である。

この図において、(12)は半導体メモリチップ、(13)はリード、(14)は前記半導体メモリチップとリードを接続するパンプ電極、(15)はそれらをモールドする樹脂を示す。

ところで、最近のポータブル型のコンピュータは、プログラム等の記憶手段として多数の半導体メモリが搭載されたメモリカードを採用しているものが多い。このメモリカードの記憶容量の増大と共に小型化が考えられている。

従来のメモ리카ードの構造は図9に示すように、両面に配線の形成された一枚のプリント基板(17)上の両面に半導体メモリ(16)のリードを半田付によって固着し、これらプリント基板(17)及び半導体メモリ(16)をメモ리카ード外装(18)に収納したものであった。ここで使用される半導体メモリ(16)はリードフレームとメモリチップをワイヤボンディングで接続し、樹脂モールドした従来のパッケージ技術を利用した半導体装置である。また、従来のリードフレームを利用したパッケージ技術も改良され、TSOP(Thin Small Outline Package)と呼ばれる薄型パッケージ技術が開発された。



11Outline Package) と呼ばれる厚さ1.0mm程度の小型で薄型の半導体パッケージがあるが、それでもメモ리카ードの記憶容量増大の要求には十分応じられなかった。

#### 【0005】

そこで図8で説明したTAB技術を利用して作られたPTPの超薄形パッケージを採用することが考えられた。その構造は、図10に示す様に両面に配線の形成された2枚のプリント基板(20)上の両面に半導体メモリ(19)のリードを図9と同様に半田付によって固着し、これら2枚のプリント基板(20)及び半導体メモリ(19)をメモ리카ード外装(21)に収納したものである。前記のごとく、PTPの超薄形パッケージを使用している為、従来のTSOPに比べ半導体メモリのパッケージ厚が約半分となっている。又プリント基板(20)の厚さも図9のプリント基板(17)の半分になっており、従って、PTPをメモ리카ードに利用することにより従来のTSOP搭載のメモ리카ード外装の厚さを変えることなく、2倍の記憶容量のメモ리카ードを構成することができる。

#### 【0006】

##### 【考案が解決しようとする課題】

しかしながら図10のプリント基板2枚分の半導体装置を搭載したメモ리카ードの場合、プリント基板(20)の数が図9のTSOP搭載のメモ리카ードの2倍となっている為、大容量化は、可能となるが必然的にプリント基板(20)の厚みが薄くなり、基板強度も弱くなってしまう。又、プリント基板(20)が薄くなると、基板の多層配線がしにくい等の問題点も生ずる。更にメモ리카ード内のプリント基板(20)が複数になると、メモ리카ードと外部接点となるコネクタも上記プリント基板(20)の数だけ必要となるという問題点も生ずることとなる。

#### 【0007】

そこで、本考案は、上記問題点に起因して創作されたものであり、大容量のメモ리카ードに搭載されるのに適した記憶容量の大きいメモリ半導体装置を提供することを目的とする。

#### 【0008】

## 【課題を解決するための手段】

本考案に係る半導体集積回路装置は、2つの半導体メモリチップをそのパッド形成面を互いに対向して配置し、該2つの半導体チップに挟まれ前記半導体チップの一方あるいは両方のパッドと固着されたリード部材とを1つの封止樹脂によりモールドしたものである。

## 【0009】

## 【作用】

本考案によれば、リードを挟んで2つの半導体メモリチップを密着できるため、従来のTAB技術を利用して一つのパッケージ内に2つのチップが収納可能となり、更に、パッケージの外形も従来のものとほとんど変わりなく製造することが可能となる。従ってパッケージ当りのメモリ容量が増大するため、従来のメモ리카ードと同一構成に形成してもメモ리카ードの記憶容量を2倍にすることができ、メモ리카ードに最適な半導体装置が提供できる。

## 【0010】

## 【実施例】

次に本考案の詳細を図面に従って具体的に説明する。

図1は本考案の一実施例を示すもので、TAB技術を利用し、フレキシブル絶縁フィルム上に形成したリード部材を2つの半導体メモリチップで挟む様に固着させた状態を示す。このとき2つの半導体メモリチップは、パッド形成面が互いに対向して配置されている。図2はその断面図を示す。図1および図2において、リード部材(3)はフィルム(5)に形成した孔、即ちインナーリードウィンドウ(4)に延在する様に形成され、2つの半導体メモリチップ(1)(2)は、インナーリードウィンドウ(4)内のリード部材(3)を挟む様に配置される。更に製造方法を具体的に説明すると、半導体メモリチップ(1)(2)のパッド部分にバンプ電極(6)なる半田の塊を形成し、一方の半導体メモリチップ(1)(2)とインナーリードウィンドウ(4)内のリード部材(3)を半導体メモリチップ(1)(2)上のバンプ電極(6)とリードの先端が一致するように位置合わせし、次に半導体メモリチップ(1)(2)どうしを位置合わせする。

## 【0011】

半導体メモリチップ(1)(2)どうしの位置合わせにおいて例えば半導体メモリチップA(1)表面のあるパッドとあるパッドの間に位置合わせ用の低抗を形成し、そして該チップ表面の対角線上のパッド2つにも同じ様に低抗を形成する。半導体メモリチップB(2)についても半導体メモリチップA(1)と同様に低抗を2つ形成する。但し半導体メモリチップB(2)については半導体メモリチップA(1)と表面を向かい合わせた時前記位置合わせ用の低抗も同じ位置に向かい合う様に形成しなければならない。前記半導体メモリチップ(1)(2)2つでリード部材を挟んだ状態にし、前記低抗を挟んだパッドから延在しているリードより前記低抗値を測定する。低抗値が一番小さくなった時が位置合わせが完了した時である。

#### 【0012】

以上が半導体メモリチップ(1)(2)の位置合わせ方法の一例であるが、別の方法として、半導体メモリチップ(1)(2)の4つ又は対角線の2つの角に小穴を開け、半導体メモリチップA(1)とリード(3)との位置合わせ終了後、半導体チップB(2)をリード部材(3)を挟む様に配置したとき半導体チップA(1)の上方から光を垂直に小穴にあてる。半導体チップB(2)の下には光センサを用意しておき4本、又は対角線の2本の光が半導体メモリチップA・B(1)(2)を両方共貫いた(光センサが反応した)場合、2つの半導体メモリチップA・B(1)(2)の位置合わせが完了する。これらの位置合わせ方法としては、上記2例に限られるものではなく、他にも様々な方法が考えられる。

#### 【0013】

このように位置合わせを行った後、半導体メモリチップA・B(1)(2)とリード部材(3)を接続する。接続方法として例えば、インナーリードウィンドウ(4)外のリード部材(3)に円又は四角状の加熱器を装着し、該加熱器によりリードを加熱し半導体メモリチップA・B(1)(2)のパッド部分に予め設けてあったバンプ電極(6)を融解させ、リード部材(3)と接続させる。以上により半導体メモリチップ(1)(2)とリード部材との接続が終了する。その後、これら半導体メモリチップ(1)(2)とリード(3)とを樹脂モールドすることにより、図3に示される半導体メモリが得られる。

## 【0014】

図3の半導体メモリを利用することにより、従来例でとりあげた2枚のプリント基板を搭載したメモリカード図10と同一の記憶容量のメモリカードをプリント基板1枚で製造することが可能となる。

図4と図5は、図1及び図2に使用される半導体メモリチップ(1)(2)の平面図である。図4及び図5においてメモリチップ(1)(2)は各々アドレス入力用パッド(8)とチップのイネーブル信号CEあるいはOE等の制御パッド(10)を有する。このメモリチップ(1)と(2)において、制御パッド(10)を除く全てのパッドは互いに線対称に配置され該メモリチップ(1)(2)を図2のごとくリード部材(3)を挟み、重ねた場合互いに同一のリードに接続される様に形成されている。制御パッド(10)はメモリチップ(1)(2)を個別に制御する信号の入力パッドであるため、同一のリードに接続することのない様、上記各パッドとは異なり、互いに非対称に配置され、異なったリードに各々接続されるようになっている。

## 【0015】

図4、図5において、制御パッド(10)以外の全てのパッドについては上記のごとくリード部材(3)に接続する際、例えば、パッド(9)とパッド(9a)は同一のリードに接続される為、必然的に該リードはパッドのバンプ電極(6)に圧着接続される構成となっている。

しかしながら、上記理由により制御用パッド(10)については線対称となるパッドが存在しないので上記制御パッド(10)以外の各パッドの様にリードを2つのバンプで圧着することができない。従ってリードを加熱してバンプとリードを接続する際の接続力は、他の各パッドの接続力に比べ弱くなり確実に接続できない場合が考えられ、それにより、不良の原因ともなり得る。

## 【0016】

そこで、図6、図7の様に半導体メモリチップ(1)あるいは(2)の制御パッド(10)に線対称となる半導体メモリチップ(1)あるいは(2)上の位置に、ダミーパッド(11)を形成する。これにより、リード(3)を半導体メモリチップ(1)(2)で挟んだ場合、制御パッド(10)のバンプとダミーパッ

ド(11)のバンプはそれぞれ他のパッドと同様、リード部材(3)を両面から  
圧着することになる。従って加熱熔融によってリードとパッドを接続したときの  
接続が他のパッドと同様に確実になる。

【0017】

【考案の効果】

以上説明した通り、本考案によれば、2つの半導体メモリチップを1つのパッ  
ケージに封止することができるので、半導体メモリ1個当りの記憶容量を2倍に  
することができる。またパッケージの大きさも、従来とほとんど変わりなく、形  
成できるので図に示されたプリント基板1枚で構成するメモリカードに最適な半  
導体メモリが得られるものである。

**THIS PAGE BLANK (USPTO)**